



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02287881 A**(43) Date of publication of application: **27.11.90**

(51) Int. Cl.

**G06F 15/60**  
**H05K 3/00**
(21) Application number: **01110795**(22) Date of filing: **28.04.89**(71) Applicant: **NEC CORP**
(72) Inventor: **MIMAKI TADASHI**  
**KIKUCHI HIDEO**  
**KIRII SHIGEKO**
**(54) VERIFYING DEVICE FOR DESIGN RULE OF  
PRINTED CIRCUIT BOARD CIRCUIT**

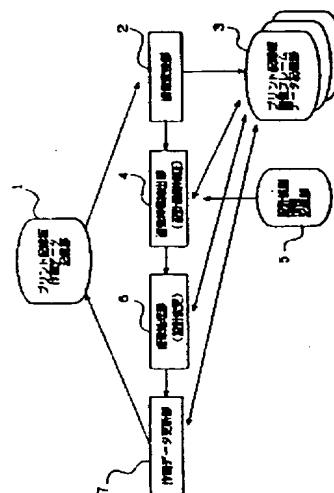
## (57) Abstract:

**PURPOSE:** To reduce the manhour of a correction work of a printed circuit pattern by executing a design rule verification of wiring pattern data generated by using a digitizer, etc., from a design drawing of a printed circuit board, and also, executing automatically the correction of a wiring pattern being against the design rule.

**CONSTITUTION:** An image converting part 2 generates image frame data separated at every aperture used in data from picturing data stored in a printed circuit board picturing data storage part. An image feature extracting part 4 executes a feature extraction of an image from a logical aperture, based on a design rule of a printed circuit board circuit design stored in a design rule information storage part 5, and executes a verification of the design rule. An image processing part 6 executes a path change of a wiring pattern brought to wiring design, based on design rule violating information sent from the image feature extracting part 4. A picturing data updating part 7 executes a wire-back processing in order to update picturing data only with regard to the part in which the image processing part 6

applies a design change to a printed circuit board image frame data storage part 3. In such a way, the correction time of the wiring pattern is shortened.

COPYRIGHT: (C)1990,JPO&amp;Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-287881

⑬ Int. Cl.<sup>5</sup>

G 06 F 15/60  
H 05 K 3/00

識別記号

3 7 0 D  
D

庁内整理番号

8125-5B  
6921-5E

⑭ 公開 平成2年(1990)11月27日

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 プリント配線板回路設計規則検証装置

⑯ 特 願 平1-110795

⑰ 出 願 平1(1989)4月28日

⑱ 発 明 者	三 巻	正	東京都港区芝5丁目33番1号	日本電気株式会社内
⑲ 発 明 者	菊 地	秀 雄	東京都港区芝5丁目33番1号	日本電気株式会社内
⑳ 発 明 者	桐 井	成 子	東京都港区芝5丁目33番1号	日本電気株式会社内
㉑ 出 願 人	日本電気株式会社		東京都港区芝5丁目7番1号	
㉒ 代 理 人	弁理士 越 場	隆		

#### 明 細 書

##### 1. 発明の名称

プリント配線板回路設計規則検証装置

##### 2. 特許請求の範囲

設計規則情報を格納した設計規則情報記憶部と、  
基板上に形成されるラインおよび／またはランド  
を含む配線パターンを作画するためのデータを記憶  
するプリント配線板作画データ記憶部と、

該プリント配線板作画データ記憶部からデータを  
読み取り、該データ中に含まれるアパチャ毎に該デ  
ータを分析して論理アパチャ圈を形成し、プリント  
配線板画像フレームデータを作成する画像変換部と、

該画像変換部の生成した画像フレームデータに対  
して、前記設計規則情報記憶部の格納する設計規則  
に基づいて配線パターン画像の特徴抽出を行ない、  
設計規則の検証を行なう画像特徴抽出部と、

該画像特徴抽出部から得られる設計検証情報に基  
づいて配線パターンの変更を行なう画像処理部と、

前記プリント配線板画像フレームデータ記憶部上  
のデータに対して、前記画像処理部が設計変更を行  
った部分の作画データを更新するように、データ書  
き戻し処理を行なう作画データ更新部と  
を備えることを特徴とするプリント配線板回路設計  
規則検証装置。

##### 3. 発明の詳細な説明

###### 産業上の利用分野

本発明は、プリント配線板の作画データを装置内  
部で設計規則に基づいて検証し、検証結果を用いて  
配線パターンを変更することにより設計基準を満足  
したプリント配線板作画データを自動的に生成する  
新規なプリント配線板回路設計規則検証装置に関す  
る。

###### 従来の技術

第2図は、従来のプリント配線板回路設計規則検  
証装置の基本的な構成を示すブロック図である。

第2図に示すように、この装置では、データ変換

部8がプリント配線板作画データ記憶部1からデータを読み取り、図形処理が容易なフォーマットにデータ変換した後、このデータをメモリ上に展開して近接図形抽出部9に送る。近接図形抽出部9では、ラインやランドの周囲が設計規則を満足し、クリアランスが確保されているかどうかの判定を行なうために図形ベクトルデータを詳細計算部10に渡す。詳細計算部10では設計規則情報記憶部5からのデータ化された設計規則をもとに幾何学演算を行なう。

以上のようにして処理された検証結果は、プリント配線板設計CADシステム11に転送される。ここで、プリント配線板設計CADシステム11は、プリント配線板作画データ記憶部1からの作画データと詳細計算部10からの検証の結果で設計規則を満足しない部分をCRT上に表示する。そこで、設計者は、CRTを見ながらプリント配線板CADシステム11の修正コマンドを使用して配線パターンの修正作業を行なう。

3

なプリント配線板回路設計規則検証装置を提供することをその目的としている。

#### 課題を解決するための手段

即ち、本発明に従うと、設計規則情報を格納した設計規則情報記憶部と、基板上に形成されるラインおよび／またはランドを含む配線パターンを作画するためのデータを記憶するプリント配線板作画データ記憶部と、該プリント配線板作画データ記憶部からデータを読み取り、該データ中に含まれるアパチャ毎に該データを分析して論理アパチャ層を形成し、プリント配線板画像フレームデータを作成する画像変換部と、該画像変換部の生成した画像フレームデータに対して、前記設計規則情報記憶部の格納する設計規則に基づいて配線パターン画像の特徴抽出を行ない、設計規則の検証を行なう画像特徴抽出部と、該画像特徴抽出部から得られる設計検証情報に基づいて配線パターンの変更を行なう画像処理部と、前記プリント配線板画像フレームデータ記憶部上のデータに対して、前記画像処理部が設計変更を行な

5

#### 発明が解決しようとする課題

このように、従来のプリント配線板回路設計検証装置は、CADシステムを仲介して、設計者自身が配線パターンを修正する必要があり、検証装置自体の機能は、設計規則違反を検出するだけに止まっていた。

しかしながら、実際のプリント配線パターンでは、例えば修正すべきラインが束状に配置されているような場合、1本のラインの変更は、連鎖的に関係するラインの設計規則違反を引き起こす。従って、従来の装置を使用したプリント配線板回路設計では、このような場合、1本ずつのラインを順次変更していく必要があった。

また、このような修正箇所が、1枚のプリント配線板の設計領域上に多数存在する場合は、これらが連鎖的に関係して、配線パターンの修正作業は、多大な工数と膨大な時間がかかるために、プリント配線板回路設計は極めて効率の悪い作業となっていた。

そこで、本発明は上記従来技術の問題点を解決し、より効率のよいプリント配線板の設計が可能な新規

4

た部分の作画データを更新するように、データ書き戻し処理を行なう作画データ更新部とを備えることを特徴とするプリント配線板回路設計規則検証装置が提供される。

#### 作用

前述した従来のプリント配線板回路設計規則検証装置の機能は、与えられたプリント配線パターンのデータを検証して、規則違反を検出するに止まっていた。従って、違反箇所の修正は、設計者がモニタを見ながら1箇所ずつ行なう必要があり、プリント配線板設計を極めて煩雑な作業にしていた。

これに対して、本発明に係る装置は、本発明は、装置内部に展開された配線パターンデータから、配線チャネルの空きを抽出して、設計規則を満足するように配線パターンを変更する自己修正機能を備えている。従って、本発明に係るプリント配線板回路設計規則検証装置を使用するならば、配線パターンの修正時間を大幅に短縮することができる。

以下に、図面を参照して本発明に係る装置につい

6

てより具体的に説明するが、以下の開示は本発明の一実施例に過ぎず、本発明の技術的範囲を何ら限定するものではない。

#### 実施例

第1図は、本発明に係るプリント配線板回路設計規則検証装置の基本的な構成を示すブロック図である。

画像変換部2は、プリント配線板作画データ記憶部1に格納されている作画データから、データ中に使用されているアパチャ毎に分離した画像フレームデータを作成する。尚、上述のようにして生成された画像フレームデータを、以下論理アパチャ層と呼ぶ。

画像特徴抽出部4は、設計規則情報記憶部5に格納されたプリント配線板回路設計の設計規則に基づいて、論理アパチャから画像の特徴抽出を行ない、設計規則の検証を行なう。

画像処理部6は、画像特徴抽出部4から送られる設計規則違反情報に基づいて、配線設計された配線

パターンの経路変更を行なう。

作画データ更新部7は、画像処理部6がプリント配線板画像フレームデータ記憶部3に対して設計変更を加えた部分についてのみ、作画データを更新するために書き戻し処理を行なう。

尚、プリント配線板作画データ記憶部1、プリント配線板画像フレームデータ記憶部3および設計規則情報記憶部5は、例えば、磁気ディスク装置のようなアクセス速度は遅いが容量の大きな記憶装置を使用することができる。

一方、プリント配線板画像フレームデータ記憶部3は、記憶部へのアクセス回数やシーク・タイムの考慮すると、ランダム・アクセス・メモリICを使用したRAMディスク等を用いることが望ましい。

また、画像変換部2、画像特徴抽出部4、画像処理部6および作画データ更新部7は、例えば、デジタル・コンピュータのような処理装置を使用して構成することができる。各構成部分は、物理的に別個のものではなく同一の装置を時分割で動作させることによって、論理的に別個の機能を実現してもよ

7

い。

次に、第1図に示した装置の動作について説明する。

#### 作用

装置が開始状態に入ると、画像変換部2はプリント配線板作画データ記憶部1から1層分の作画データを読み取ってくる。ここで、作画データは、アパチャ指定と位置情報とで指定されたパターンの組み合わせにより構成されている。一方、画像変換部2には、使用可能なすべてのアパチャに対する物理的な形状がデータ化されている。例えば、あるアパチャ・ナンバで指定される丸ランドは直径3mmであり、あるアパチャで指定されるラインは0.015mmであるという具合である。

更に、画像変換部2は、与えられたプリント配線板作画領域を、領域分割して画像フレームデータ記憶部3に記憶する。この分割された1つの領域をセグメントと呼ぶことにする。

第3図は、上述のようなセグメントの概念を説明

8

する図であり、同図に示した例では、セグメント14は全作画データ領域の $1/N$ の大きさとなっている。

尚、この $1/N$ という値を設定する際にはもう1つの処理が必要である。第4図は、そのような処理を説明する図である。

即ち、画像変換部2は、作画データに使用されるアパチャの全種類の数 $M$ と作画データ中の最小近接データ $\Delta Z$ を抽出する。次に、プリント配線板画像フレームデータ記憶部3にアパチャごとに分けた論理アパチャ層( $M$ 層より成る画像フレーム)を1画面の寸法を $\Delta Z/2$ として大きさを決定したセグメント14の領域を確保する。尚、この処理は先のセグメント化の処理と同時に実行することができる。

以上の処理が終了すると、第5図に示すように、画像変換部2は、プリント配線板作画データ記憶部1をもとにラインやランドなどのアパチャごとに各論理アパチャ層に配線パターンの画像イメージを再び書き込んでゆく。

ここで、上述のようにして得たセグメント単位で個々に処理を行った場合、処理後の相互の結合が間

題となる。この問題を解決するために、実際にセグメントデータを格納する際には、隣接するセグメントとの共通記憶領域を設ける。

第6図は、このような操作を説明する図である。

即ち、第6図において、プリント配線板17は、3×3、即ち9個のセグメントに分割されている。第6図の下方に抜き出した拡大部分は、これら9個のセグメントの内の中央のセグメントである。

この拡大図において、丸ランドでは黒く塗り潰しである部分、ラインでは太く描いてある部分が共通記憶領域となる。共通記憶領域の画素のラインやランドのすべてにはデータチェーンポイントが付加され、隣接するセグメントの画素と対応がとれるようになってい

る。これらの処理を実行しながら、画像変換部2が、プリント配線板画像フレームデータ記憶部3に画像イメージの書き込み処理を完了すると処理の主体を画像特徴抽出部4に移す。画像特徴抽出部4では、まず、処理すべきプリント配線板ごとに定められた個別のデータ化された設計規則情報を設計規則記憶

部5より読み取ってくる。検証すべき規則情報が得られると画像特徴抽出部4は設計規則検証を行なう。

第7図～第10図は、設計規則検証処理を説明する図である。

即ち、第7図は、丸ランド19が近接するラインと接触している画像フレームの例である。19の設計規則違反箇所を検出するためには、本実施例の装置では、第8図に示すような特徴抽出オペレータ20を用いる。第9図(a)は、特徴抽出オペレータ20を拡大して示す図であり、ここで、特徴抽出オペレータ20の腕木の長さは、設計規則情報記憶部5より得たデータ化された設計規則情報とあてはめるアパチャの寸法の和より決定される。この例で示す丸ランド用の特徴抽出オペレータ20の場合、腕木の長さは“4”となるものとする。

このとき第8図の黒く塗り潰した部分のように他のアパチャが特徴抽出パラメータの中に入り込めば、丸ランド周囲のクリアランスは保たれていないと検証され、画像処理部6に配線パターンの変更が必要であるという指示を出す。

11

尚、第9図(b)は、斜め方向の検証が必要な場合の斜め方向特徴抽出オペレータと第8図の例で用いた縦横方向特徴抽出オペレータとの和を取って使用する場合の例を示している。

第10図は、特徴抽出部4より配線パターンの設計変更要求を受けた画像処理部6の動作を説明する図である。

特徴抽出オペレータ20によって丸ランド上部のラインが接近していて設計規則に違反していると検証されると、画像処理部6がセグメント14のラインに相当する論理アパチャ層で接近ラインを設計規則が満足されるまで上部方向に移動する。

この移動した結果が第1移動ライン22である。

第1移動ラインによってさらに上部方向のラインと接触するため、このラインも移動して第2移動ライン23のようにする。最終的には、第3移動ライン24のように3本目のラインを移動することによって設計規則は満足される。

このように、配線パターンの設計変更に成功した場合、画像処理部6はプリント配線板画像フレーム

12

データ記憶部3の設計変更済の配線パターンを画像データ上でトレースしてベクトルデータ化し、作面データ更新部7に与え、作面データ更新部7はプリント配線板作面データ記憶部1を書き戻す。

#### 発明の効果

以上説明したように、本発明に係るプリント配線板回路設計規則検証装置は、プリント配線板の設計図面からデジタル化等のデータ入力装置を用いて作成した配線パターンデータの設計規則検証を行ない、更に、さらに設計規則に違反している配線パターンの修正をも自動的に行なうことができる。従って、相互に関連し合う配線パターンの変更を、高速で行うことができ、従来設計回路論理検証に費やされていたプリント配線パターンの修正作業の工数を大幅に低減することができる。

#### 4. 図面の簡単な説明

第1図は、本発明に係るプリント配線板回路設計規則検証装置の基本的な構成を示すブロック図であ

13

14

り、

第2図は、従来のプリント配線板回路設計規則検証装置の基本的な構成を示すブロック図であり、

第3図は、第1図に示した装置における作画データのセグメント化処理におけるセグメントの概念を説明する図であり、

第4図は、第1図に示した装置における作画データのセグメント化処理を説明する図であり、

第5図は、第1図に示した装置における論理アパチャ層の概念を説明する図であり、

第6図は、第1図に示した装置における隣接セグメントとの共通記憶領域の記憶方法を説明した図であり、

第7図は、セグメント中で発生した設計規則違反箇所を説明する図であり、

第8図は、特徴抽出オペレータを用いて設計規則違反箇所を検出する手法を説明する図であり、

第9図は、特徴抽出オペレータの腕木の長さおよび斜め方向の特徴抽出オペレータを説明した図であり、

第10図は、画像処理によって近接ラインを移動させセリアランスを確保した様子を示した図である。

〔主な参照番号〕

- 1・・・プリント配線板作画データ記憶部、
- 2・・・画像変換部、
- 3・・・プリント配線板画像フレームデータ記憶部、
- 4・・・画像特徴抽出部、
- 5・・・設計規則情報記憶部、
- 6・・・画像処理部、
- 7・・・作画データ更新部、
- 8・・・データ変換部、
- 9・・・近接図形抽出部、
- 10・・・詳細計算部、
- 11・・・プリント配線板設計CADシステム、
- 12・・・全作画データ領域、
- 13・・・論理アパチャ層、
- 14・・・セグメント、
- 15・・・画像フレーム、
- 16・・・アパチャに対応した論理アパチャ層、

15

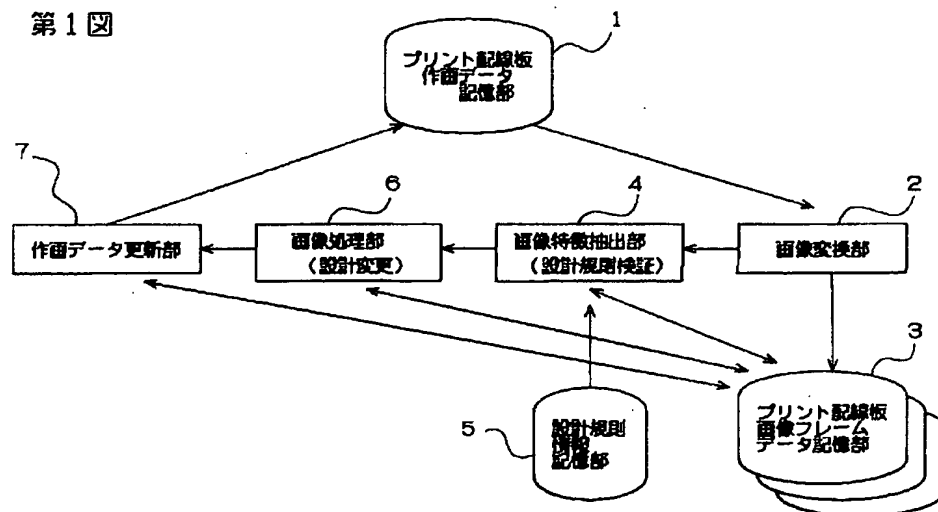
16

- 17・・・3×3セグメント、
- 18・・・隣接セグメントとの共通記憶領域、
- 19・・・設計規則違反箇所、
- 20・・・特徴抽出オペレータ、
- 21・・・斜め方向特徴抽出オペレータとの和、
- 22・・・第1移動ライン、
- 23・・・第2移動ライン、
- 24・・・第3移動ライン

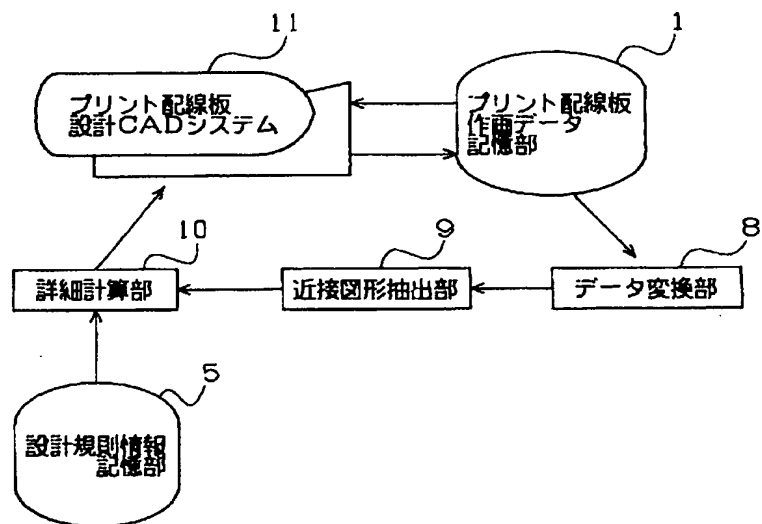
特許出願人 日本電気株式会社  
代理人 弁理士 越場 隆

17

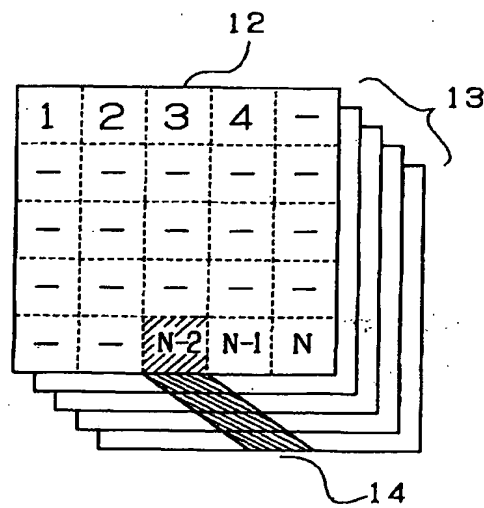
第1図



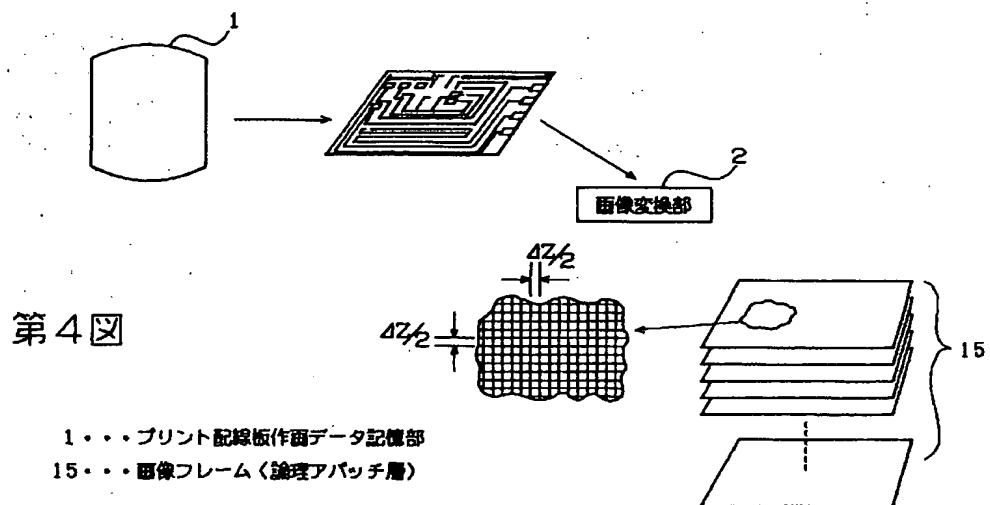
第2図



第3図

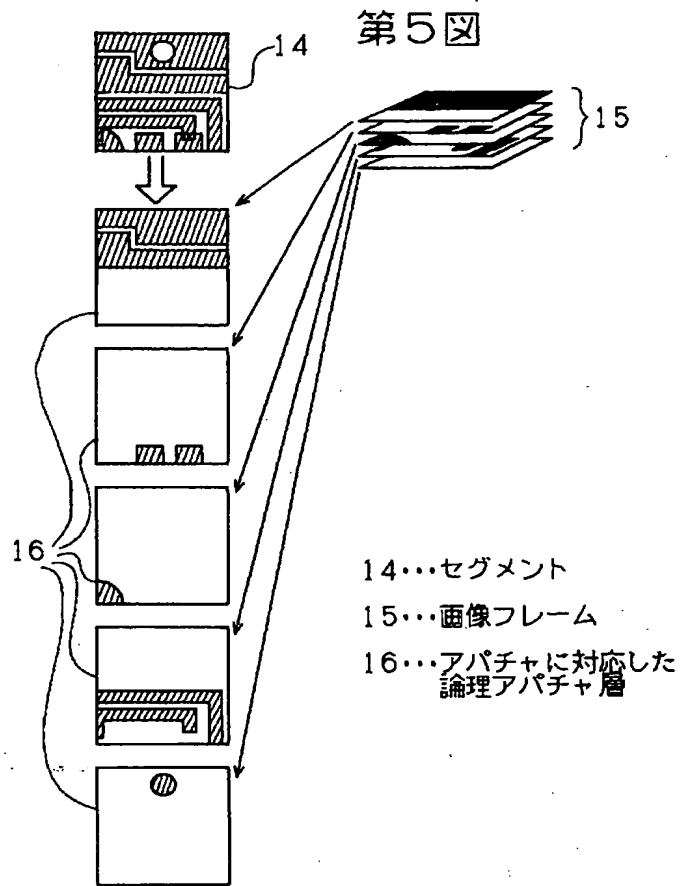


- 12・・・全作画データ領域
- 13・・・論理アパチャ層
- 14・・・セグメント

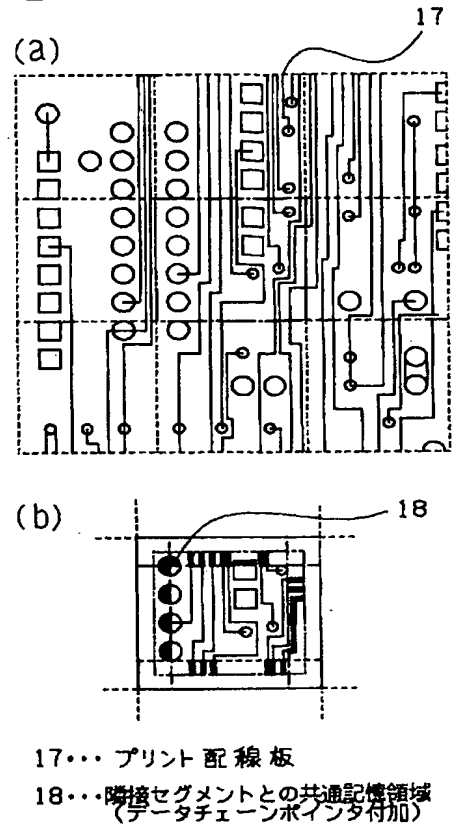


- 1・・・プリント配線板作画データ記憶部
- 15・・・画像フレーム(論理アパチャ層)

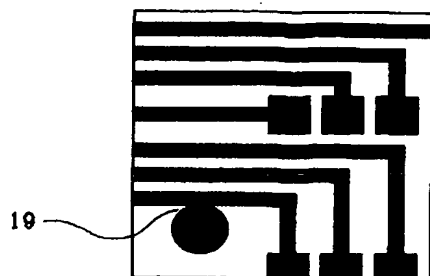




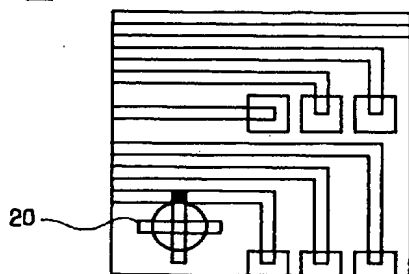
第6図



第7図

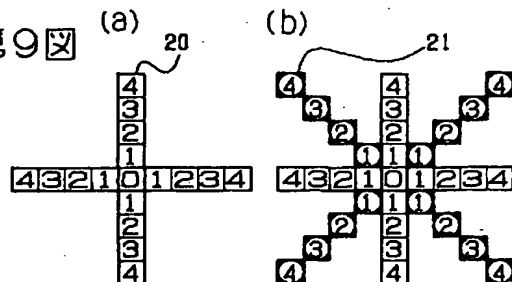


第8図

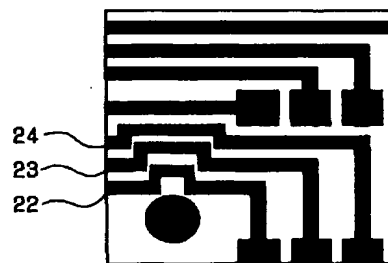


19...設計規則違反箇所  
20...特徴抽出オペレータ

第9図



第10図



20...特徴抽出オペレータ  
21...斜方向特徴抽出オペレータとの和  
22...第1移動ライン  
23...第2移動ライン  
24...第3移動ライン